

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-119058

(43)Date of publication of application : 19.04.2002

(51)Int.Cl.

H02M 3/28

H02J 1/10

H02M 7/21

(21)Application number : 2000-306215

(71)Applicant : DENSEI LAMBDA KK

(22)Date of filing : 05.10.2000

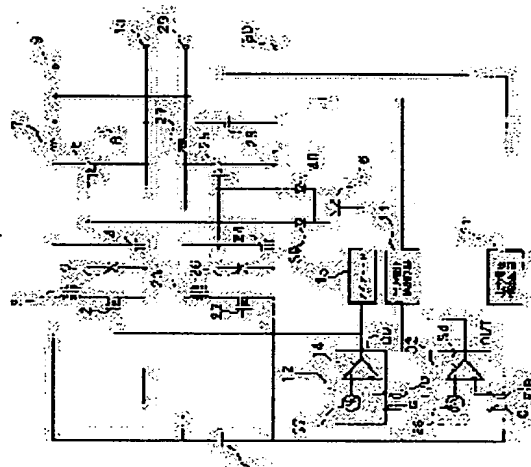
(72)Inventor : TAKEGAMI EIJI

## (54) MULTIPLE-OUTPUT, SYNCHRONOUS-RECTIFICATION, SWITCHING POWER SUPPLY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a multiple-output and synchronous-rectification switching power supply wherein one synchronous rectification driver circuit can be shared.

**SOLUTION:** Each of controlling means for a plurality of synchronous-rectification switching power supplies comprising a multiple-output and synchronous-rectification switching power supply subjects a main switch 2 to PWM control, by control pulse signals generated based on saw-tooth-wave signals from saw-tooth-wave generators 37 and 38 and detection signals from an output voltage detection circuit 31. In addition, the switching power supply is preferably provided with a synchronous-rectification driver circuit comprising a plurality of diodes 39 and 40 whose respective anodes are connected with the gates of MOSFETs 5 and 25 for reflux switch, respectively, and whose respective cathodes are connected in common and one switch element 16 for reflux gate driver that is connected between the cathodes of the plurality of the diodes 39 and 40 and the source of the MOSFET 25 for reflux switch and is driven by driving pulses synchronized with the control pulse signals.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-119058  
(P2002-119058A)

(43) 公開日 平成14年4月19日 (2002. 4. 19)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 2 M 3/28		H 0 2 M 3/28	W 5 G 0 6 5 F 5 H 0 0 6 P 5 H 7 3 0
H 0 2 J 1/10		H 0 2 J 1/10	
H 0 2 M 7/21		H 0 2 M 7/21	A
審査請求 未請求 請求項の数 2 O L (全 7 頁)			

(21) 出願番号 特願2000-306215(P2000-306215)

(22) 出願日 平成12年10月5日 (2000. 10. 5)

(71) 出願人 390013723

デンセイ・ラムダ株式会社  
東京都品川区東五反田一丁目11番15号 電  
波ビルディング

(72) 発明者 竹上 栄治

東京都品川区東五反田1丁目11番15号電波  
ビルディング デンセイ・ラムダ株式会  
社 内

(74) 代理人 100087859

弁理士 渡辺 秀治 (外1名)

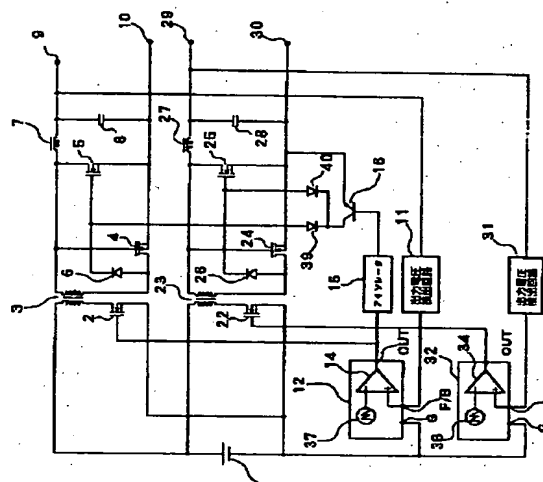
最終頁に続く

(54) 【発明の名称】 多出力同期整流式スイッチング電源装置

(57) 【要約】

【課題】 1つの同期整流ドライバ回路を共用できる多出力同期整流式スイッチング電源装置を提供すること。

【解決手段】 多出力同期整流式スイッチング電源装置を構成する複数の同期整流式スイッチング電源装置の各制御手段は、のこぎり波発生器37、38からののこぎり波信号と出力電圧検出回路31からの検出信号とに基づいて生成した制御パルス信号でメインスイッチ2をPWM制御する。なお、このスイッチング電源装置に、さらに、各々のアノードが各還流スイッチ用MOSFET 5、25のゲートに接続され、かつ各々のカソードが共通接続された複数のダイオード39、40と、複数のダイオード39、40のカソードと1つの還流スイッチ用MOSFET 25のソース間に接続され、制御パルス信号に同期した駆動パルスで駆動される1つの還流ゲートドライバ用スイッチ素子16とからなる同期整流ドライバ回路を設けるようにするのが好ましい。



## 【特許請求の範囲】

【請求項1】 メインスイッチを有する一次側駆動回路と、整流スイッチ用MOSFET、還流スイッチ用MOSFET、および上記還流スイッチ用MOSFETのゲートに接続されたバイアスダイオードを有する二次側出力回路と、上記メインスイッチを上記二次側出力回路の出力電圧に応じた制御パルス信号でPWM制御する制御手段とを有する複数の同期整流式スイッチング電源装置からなる多出力同期整流式スイッチング電源装置であって、

上記各制御手段は、複数の同期が取れたのこぎり波発生器又は1つののこぎり波発生器と、上記各二次側出力回路の出力電圧を検出する出力電圧検出回路と、上記ののこぎり波発生器からののこぎり波信号と上記出力電圧検出回路からの検出信号とに基づいて上記制御パルス信号を生成する制御パルス信号生成回路と、を備えていることを特徴とする多出力同期整流式スイッチング電源装置。

【請求項2】 前多出力同期整流式スイッチング電源装置は、さらに、各々のアノードが前記各還流スイッチ用MOSFETのゲートに接続され、かつ各々のカソードが共通接続された複数のダイオードと、前記複数のダイオードのカソードと上記1つの還流スイッチ用MOSFETのソース間に接続され、前記制御パルス信号に同期した駆動パルスで駆動される1つの還流ゲートドライバ用スイッチ素子とからなる同期整流ドライバ回路を備えていることを特徴とする請求項1記載の多出力同期整流式スイッチング電源装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、多出力同期整流式スイッチング電源装置に関するものである。

## 【0002】

【従来の技術】 図3は、従来の多出力同期整流式スイッチング電源装置の一例を示す回路図である。多出力同期整流式スイッチング電源装置は、直流入力電源1に接続されたメインスイッチ用MOSFET2およびトランス3の一次巻線からなる一次側駆動回路と、トランス3の二次巻線、整流スイッチ用MOSFET4、還流スイッチ用MOSFET5、バイアスダイオード6、チョークコイル7、出力コンデンサ8、出力端子9、10、出力電圧検出回路11、制御回路12、アイソレータ15および還流ゲートドライバ用スイッチ素子（トランジスタ）16からなる二次側出力回路とから構成される第1の同期整流式フォワード型スイッチング電源装置を備えている。制御回路12は、三角波発生器13およびコンパレータ14を備えている。アイソレータ15は、フォトカップラ等からなる。

【0003】 また、多出力同期整流式スイッチング電源装置は、直流入力電源1に接続されたメインスイッチ用MOSFET2およびトランス23の一次巻線からな

る一次側駆動回路と、トランス23の二次巻線、整流スイッチ用MOSFET24、還流スイッチ用MOSFET25、バイアスダイオード26、チョークコイル27、出力コンデンサ28、出力端子29、30、出力電圧検出回路31、制御回路32、アイソレータ35および還流ゲートドライバ用スイッチ素子（トランジスタ）36からなる二次側出力回路とから構成される第2の同期整流式フォワード型スイッチング電源装置を備えている。制御回路32は、三角波発生器33およびコンパレータ34を備えている。アイソレータ35は、フォトカップラ等からなる。

【0004】 上述の構成において、第1の同期整流式フォワード型スイッチング電源装置のメインスイッチ用MOSFET2は、出力電圧検出回路11および制御回路12により生成されるPWM制御信号によって、出力端子9、10から得られる出力電圧が安定するようにPWM制御される。

【0005】 制御回路12は、直流入力電源1のコールド側に接続されたグラウンド端子Gと、出力電圧検出回路11の出力をコンパレータ14のアナログ入力端子にフィードバックするフィードバック端子F/Bと、PWM制御信号を出力する出力端子OUTとを備えている。

【0006】 制御回路12は、図4(a)に示すように、コンパレータ14により、そのマイナス入力端子に印加される三角波発生器13からの三角波信号Aと、フィードバック端子F/Bを介してアナログ入力端子に印加される出力電圧検出回路11の出力Bを比較する。そして、制御回路12は、コンパレータ14の出力として、図4(b)に示すPWM制御信号を生成し、出力端子OUTを介してメインスイッチ用MOSFET2のゲートに印加すると共に、アイソレータ15に供給する。アイソレータ15は、上述のPWM制御信号に基づき、図4(d)に示す駆動パルスを還流ゲートドライバ用スイッチ素子16に印加する。

【0007】 そこで、メインスイッチ用MOSFET2が、図4(b)に示すPWM制御信号によりターンオンすると、トランス3の二次巻線に電圧が誘起し、この電圧が整流スイッチ用MOSFET4のゲートに印加され、整流スイッチ用MOSFET4はオン状態になる。このとき、還流ゲートドライバ用スイッチ素子16は、メインスイッチ用MOSFET2のターンオンに同期して、オン状態になるように制御される。整流スイッチ用MOSFET4のオンにより、チョークコイル7には、整流スイッチ用MOSFET4を介して電流が流れる。

【0008】 一方、還流ゲートドライバ用スイッチ素子16のオンにより、還流スイッチ用MOSFET5のゲート・ソース間が短絡され、還流スイッチ用MOSFET5は、オフ状態になる。それにより、還流スイッチ用MOSFET5のゲート・ソース間容量に充電されていた電荷は、還流ゲートドライバ用スイッチ素子16を介

して放電される。

【0009】次に、メインスイッチ用MOSFET2が、PWM制御によりターンオフすると、励磁エネルギーによりトランス3の一次巻線に逆電圧が発生し、トランス3の二次巻線の電圧は、極性が反転する。その結果、整流スイッチ用MOSFET4はオフ状態になる。また、還流ゲートドライバ用スイッチ素子16は、メインスイッチ用MOSFET2のターンオフに同期して、オフ状態になるように制御される。還流ゲートドライバ用スイッチ素子16のオフにより、還流スイッチ用MOSFET5のゲートにバイアスダイオード6を介して上述の逆電圧が印加され、還流スイッチ用MOSFET5は、オン状態になる。それにより、チョークコイル7の電流は、還流スイッチ用MOSFET5を介して流れる。

【0010】また、還流ゲートドライバ用スイッチ素子16がオフに制御され、かつ還流スイッチ用MOSFET5のゲートにバイアスダイオード6を介して上述の逆電圧が印加されることにより、還流スイッチ用MOSFET5のゲート・ソース間容量に電荷が蓄積される。そして、この蓄積された電荷は、還流ゲートドライバ用スイッチ素子16がオフになっているので、その放電経路がバイアスダイオード6で閉ざされた状態となる。

【0011】次に、トランス3の二次巻線の電圧がゼロになると、還流ゲートドライバ用スイッチ素子16がオフ状態を維持しているから、バイアスダイオード6は、逆バイアス状態となる。したがって、還流スイッチ用MOSFET5のゲート・ソース間容量に蓄積された電荷の封じ込め状態は、引き続き維持されるので、バイアスダイオード6から還流スイッチ用MOSFET5のゲートに順バイアス電圧が印加された状態を維持する。その結果、トランス3の二次巻線の電圧がゼロになっても、還流スイッチ用MOSFET5は、引き続きオン状態を維持し、チョークコイル7の電流は、引き続き還流スイッチ用MOSFET5を介して流れ続け、チョークコイル7を流れる電流の連続性が保持される。

【0012】そして、メインスイッチ用MOSFET2が、再びターンオンすると、上述のターンオン時の動作状態となり、スイッチング電源装置の動作が継続する。

【0013】一方、第2の同期整流式フォワード型スイッチング電源装置は、上述の第1の同期整流式フォワード型スイッチング電源装置と同様の動作を行う。第2の同期整流式フォワード型スイッチング電源装置のメインスイッチ用MOSFET22は、出力電圧検出回路31および制御回路32により生成されるPWM制御信号によって、出力端子29、30から得られる出力電圧が安定するようにPWM制御される。

【0014】制御回路32は、直流入力電源1のコールド側に接続されたグラウンド端子Gと、出力電圧検出回路31の出力をコンパレータ34のプラス入力端子にフ

ィードバックするフィードバック端子F/Bと、PWM制御信号を出力する出力端子OUTとを備えている。

【0015】制御回路32は、図4(a)に示すように、コンパレータ34により、そのマイナス入力端子に印加される三角波発生器33からの三角波信号Aと、フィードバック端子F/Bを介してプラス入力端子に印加される出力電圧検出回路31の出力Cを比較する。そして、制御回路32は、コンパレータ34の出力として、図4(c)に示すPWM制御信号を生成し、出力端子OUTを介してメインスイッチ用MOSFET22のゲートに印加すると共に、アイソレータ35に供給する。アイソレータ35は、上述のPWM制御信号に基づき、図4(e)に示す駆動パルスを還流ゲートドライバ用スイッチ素子36に印加する。

【0016】そこで、メインスイッチ用MOSFET2が、図4(c)に示すPWM制御信号によりターンオン、ターンオフ制御され、出力端子29、30から第1の同期整流式フォワード型スイッチング電源装置の出力端子9、10の出力電圧と異なる値の安定した出力電圧を得ることができる。しかし、その動作は、上述の第1の同期整流式フォワード型スイッチング電源装置の動作と同様であるので、ここでは説明を省略する。

【0017】

【発明が解決しようとする課題】しかしながら、上述の構成の多出力同期整流式スイッチング電源装置では、1出力当たり、1つの還流ゲートドライバ用スイッチ素子と1つのアイソレータからなる同期整流ドライバ回路が必要である。

【0018】そこで、本発明の目的は、1つの同期整流ドライバ回路を共用できる多出力同期整流式スイッチング電源装置を提供することにある。

【0019】

【課題を解決するための手段】上記した目的に鑑みて、本発明の多出力同期整流式スイッチング電源装置は、メインスイッチを有する一次側駆動回路と、整流スイッチ用MOSFET、還流スイッチ用MOSFET、および還流スイッチ用MOSFETのゲートに接続されたバイアスダイオードを有する二次側出力回路と、メインスイッチを二次側出力回路の出力電圧に応じた制御パルス信号でPWM制御する制御手段とを有する複数の同期整流式スイッチング電源装置からなる。各制御手段は、複数の同期が取れたのこぎり波発生器又は1つののこぎり波発生器と、各二次側出力回路の出力電圧を検出する出力電圧検出回路と、のこぎり波発生器からののこぎり波信号と出力電圧検出回路からの検出信号とに基づいて制御パルス信号を生成する制御パルス信号生成回路とを備えている。これにより、複数の同期整流式スイッチング電源装置で1つの同期整流ドライバ回路を共用できる。

【0020】さらに、他の発明は、上述の発明の多出力同期整流式スイッチング電源装置に加え、多出力同期整

流式スイッチング電源装置は、さらに、各々のアノードが各還流スイッチ用MOSFETのゲートに接続され、かつ各々のカソードが共通接続された複数のダイオードと、複数のダイオードのカソードと1つの還流スイッチ用MOSFETのソース間に接続され、制御パルス信号に同期した駆動パルスで駆動される1つの還流ゲートドライバ用スイッチ素子とからなる同期整流ドライバ回路を備えている。これにより、同期整流ドライバ回路を簡単な構成で共用できることとなる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について、図面に基づいて説明する。図1は、本発明に係る多出力同期整流式スイッチング電源装置の実施の形態を示す回路図である。図1において、図3の従来装置と同一の構成要素は、同一符号を付して説明する。

【0022】この多出力同期整流式スイッチング電源装置は、図3の従来装置と同一構成の同期整流式フォワード型スイッチング電源であるが、図3における三角波発生器13、33に代えてのこぎり波発生器37、38を有すると共に、図3におけるアイソレータ35および還流ゲートドライバ用スイッチ素子36を削除し、アイソレータ15および還流ゲートドライバ用スイッチ素子16を第1および第2の同期整流式フォワード型スイッチング電源装置で共用している構成に特徴を有する。

【0023】すなわち、制御回路12は、図2(a)に示すように、コンパレータ14により、そのマイナス入力端子に印加されるのこぎり波発生器37からののこぎり波信号Aと、フィードバック端子F/Bを介してプラス入力端子に印加される出力電圧検出回路11の出力Bを比較する。そして、制御回路12は、コンパレータ14の出力として、図2(b)に示すPWM制御信号を生成し、出力端子OUTを介してメインスイッチ用MOSFET2のゲートに印加すると共に、アイソレータ15に供給する。アイソレータ15は、上述のPWM制御信号に基づき、図2(d)に示す駆動パルスを還流ゲートドライバ用スイッチ素子16に印加する。

【0024】そこで、メインスイッチ用MOSFET2が、図2(b)に示すPWM制御信号によりターンオンすると、トランス3の二次巻線に電圧が誘起し、この電圧が整流スイッチ用MOSFET4のゲートに印加され、整流スイッチ用MOSFET4はオン状態になる。このとき、還流ゲートドライバ用スイッチ素子16は、メインスイッチ用MOSFET2のターンオンに同期して、オン状態になるように制御される。整流スイッチ用MOSFET4のオンにより、チョークコイル7には、整流スイッチ用MOSFET4を介して電流が流れる。

【0025】一方、還流ゲートドライバ用スイッチ素子16のオンにより、還流スイッチ用MOSFET5のゲート・ソース間が短絡され、還流スイッチ用MOSFET5は、オフ状態になる。それにより、還流スイッチ用

MOSFET5のゲート・ソース間容量に充電されていた電荷は、還流ゲートドライバ用スイッチ素子16を介して放電される。

【0026】次に、メインスイッチ用MOSFET2が、PWM制御によりターンオフすると、励磁エネルギーによりトランス3の一次巻線に逆電圧が発生し、トランス3の二次巻線の電圧は、極性が反転する。その結果、整流スイッチ用MOSFET4はオフ状態になる。また、還流ゲートドライバ用スイッチ素子16は、メインスイッチ用MOSFET2のターンオフに同期して、オフ状態になるように制御される。還流ゲートドライバ用スイッチ素子16のオフにより、還流スイッチ用MOSFET5のゲートにバイアスダイオード6を介して上述の逆電圧が印加され、還流スイッチ用MOSFET5は、オン状態になる。それにより、チョークコイル7の電流は、還流スイッチ用MOSFET5を介して流れる。

【0027】また、還流ゲートドライバ用スイッチ素子16がオフに制御され、かつ還流スイッチ用MOSFET5のゲートにバイアスダイオード6を介して上述の逆電圧が印加されることにより、還流スイッチ用MOSFET5のゲート・ソース間容量に電荷が蓄積される。そして、この蓄積された電荷は、還流ゲートドライバ用スイッチ素子16がオフになっているので、その放電経路がバイアスダイオード6で閉ざされた状態となる。

【0028】次に、トランス3の二次巻線の電圧がゼロになると、還流ゲートドライバ用スイッチ素子16がオフ状態を維持しているから、バイアスダイオード6は、逆バイアス状態となる。したがって、還流スイッチ用MOSFET5のゲート・ソース間容量に蓄積された電荷の封じ込め状態は、引き続き維持されるので、バイアスダイオード6から還流スイッチ用MOSFET5のゲートに順バイアス電圧が印加された状態を維持する。その結果、トランス3の二次巻線の電圧がゼロになっても、還流スイッチ用MOSFET5は、引き続きオン状態を維持し、チョークコイル7の電流は、引き続き還流スイッチ用MOSFET5を介して流れ続け、チョークコイル7を流れる電流の連続性が保持される。

【0029】そして、メインスイッチ用MOSFET2が、再びターンオンすると、上述のターンオン時の動作状態となり、スイッチング電源装置の動作が継続する。

【0030】一方、第2の同期整流式フォワード型スイッチング電源装置は、上述の第1の同期整流式フォワード型スイッチング電源装置と同様の動作を行う。

【0031】第2の同期整流式フォワード型スイッチング電源装置のメインスイッチ用MOSFET22は、出力電圧検出回路31および制御回路32により生成されるPWM制御信号によって、出力端子29、30から得られる出力電圧が安定するようにPWM制御される。

【0032】制御回路32は、直流入力電源1のコル

ド側に接続されたグラウンド端子Gと、出力電圧検出回路31の出力をコンパレータ34のアス入力端子にフィードバックするフィードバック端子F/Bと、PWM制御信号を出力する出力端子OUTとを備えている。

【0033】制御回路32は、図2(a)に示すように、コンパレータ34により、そのマイナス入力端子に印加されるのこぎり波発生器38からののこぎり波信号Aと、フィードバック端子F/Bを介してアス入力端子に印加される出力電圧検出回路31の出力Cを比較する。そして、制御回路32は、コンパレータ34の出力として、図2(c)に示すPWM制御信号を生成し、出力端子OUTを介してメインスイッチ用MOSFET22のゲートに印加する。

【0034】そこで、メインスイッチ用MOSFET22が、図2(c)に示すPWM制御信号によりターンオン、ターンオフ制御され、出力端子29、30から第1の同期整流式フォワード型スイッチング電源装置の出力端子9、10の出力電圧と異なる値の安定した出力電圧を得ることができる。しかし、その動作は、上述の第1の同期整流式フォワード型スイッチング電源装置の動作と同様であるので、ここでは説明を省略する。

【0035】以上説明したように、この実施の形態の多出力同期整流式スイッチング電源装置は、複数の同期整流式スイッチング電源装置で1つの同期整流ドライバ回路を共用できる。しかも、同期整流ドライバ回路を簡単な構成で共用できることとなる。

【0036】以上の通り、本発明の実施の形態について説明したが、本発明はこれに限らず、種々の変形、応用が可能である。たとえば、上述の実施の形態のように、2つののこぎり波発生器37、38が存在する場合(3つ以上の場合も同様)は、複数ののこぎり波発生器37、38の同期を取る必要があるが、1つののこぎり波発生器のみを使用し、その発生器の出力をコンパレータ14、34に入力させる場合は、同期を取る必要はなくなる。

【0037】また、上述の実施の形態では、1つの電源で2つの出力を有する同期整流式スイッチング電源装置の場合を説明しているが、2つ以上の出力を有する多出力同期整流式スイッチング電源装置にも適用できる。また、複数の電源の場合、各電源に関して本発明を適用したり、いずれか1つの電源に対してのみ本発明を適用しても良い。

【0038】また、上述の実施の形態では、同期整流ドライバ回路を、各々のアノードが各還流スイッチ用MOSFET5、25のゲートに接続され、かつ各々のカソードが共通接続された複数のダイオード39、40と、複数のダイオード39、40のカソードと1つの還流ス

イッチ用MOSFET25のソース間に接続され、制御パルス信号に同期した駆動パルスで駆動される1つの還流ゲートドライバ用スイッチ素子16とからなる構成としたが、還流ゲートドライバ用スイッチ素子16がつかない1つの還流スイッチ用MOSFETとして、還流スイッチ用MOSFET5とする等他の構成の同期整流ドライバ回路としても良い。

【0039】

【発明の効果】本発明によれば、2つ以上の出力を有する多出力同期整流式スイッチング電源装置において、1つの同期整流ドライバ回路を共用できるので、部品点数が削減でき、従来装置よりも小型で安価にすることができ、また、制御損失も減少し、高効率となる。

【図面の簡単な説明】

【図1】本発明に係る多出力同期整流式スイッチング電源装置の実施の形態を示す回路図である。

【図2】(a)、(b)、(c)および(d)は、図1の多出力同期整流式スイッチング電源装置における各部の信号タイミング図である。

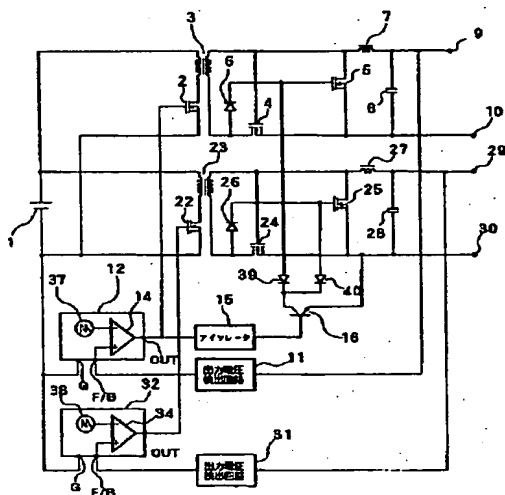
【図3】従来の多出力同期整流式スイッチング電源装置の一例を示す回路図である。

【図4】(a)、(b)、(c)、(d)および(e)は、図3の多出力同期整流式スイッチング電源装置における各部の信号タイミング図である。

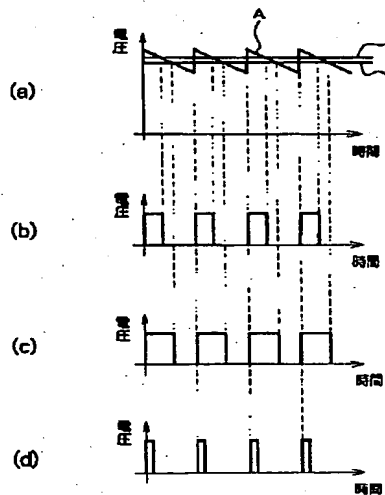
【符号の説明】

- 1 直流入力電源
- 2 メインスイッチ用MOSFET (メインスイッチ)
- 4 整流スイッチ用MOSFET
- 5 還流スイッチ用MOSFET
- 6 バイアスダイオード
- 11 出力電圧検出回路 (制御手段の一部)
- 12 制御パルス信号生成回路 (制御手段の一部)
- 15 アイソレータ
- 16 還流ゲートドライバ用スイッチ素子
- 22 メインスイッチ用MOSFET (メインスイッチ)
- 24 整流スイッチ用MOSFET
- 25 還流スイッチ用MOSFET
- 26 バイアスダイオード
- 31 出力電圧検出回路 (制御手段の一部)
- 32 制御パルス信号生成回路 (制御手段の一部)
- 37 のこぎり波発生器 (制御手段の一部)
- 38 のこぎり波発生器 (制御手段の一部)
- 39 ダイオード
- 40 ダイオード

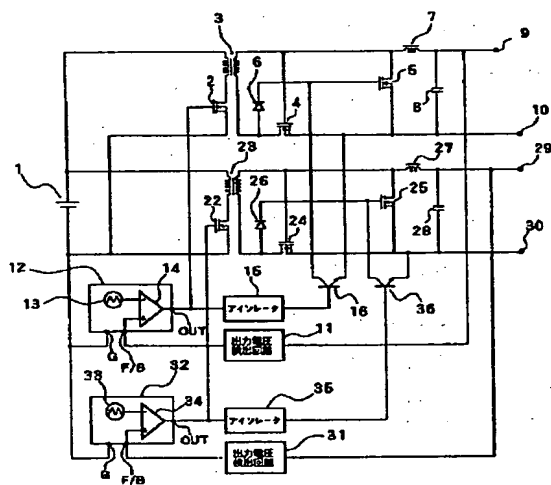
【図1】



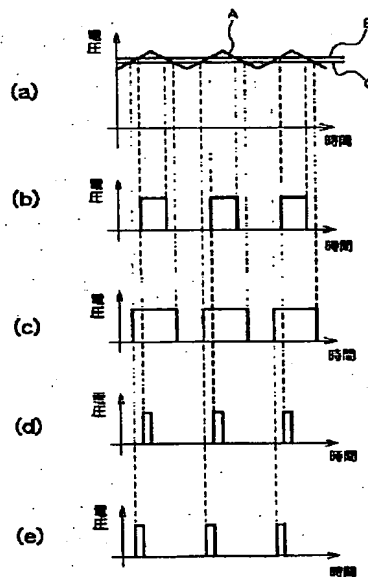
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考) 5G065 AA01 AA08 DA07 EA01 FA02  
HA04 JA01 LA01 MA10 NA05  
NA06  
5H006 BB06 CA02 CA12 CB07 CC02  
CC08 DA04 DB02 DC05  
5H730 AA15 AA16 AS01 BB23 BB57  
BB84 DD04 DD26 DD32 EE02  
EE08 EE13 EE61 FD01 FF01  
FG05



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**